

COMMUNICATION SYSTEM

Publication number: JP2003204291 (A)

Publication date: 2003-07-18

Inventor(s): KUDO YOSHIHARU +

Applicant(s): NEC CORP +

Classification:


- international: **H04B3/04; H04B3/06; H04L25/02; H04L25/03; H04B3/04; H04B3/06; H04L25/02; H04L25/03; (IPC1-7): H04B3/04; H04B3/06; H04L25/03**


- European: **H04L25/02K7; H04L25/02K9; H04L25/03L**

Application number: JP20020000329 20020107

Priority number(s): JP20020000329 20020107

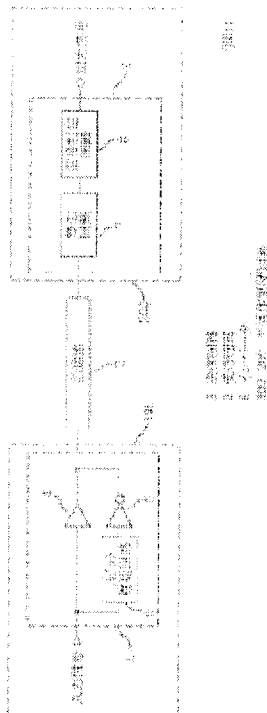
Also published as:

 **US2003128767 (A1)**

 **US7505520 (B2)**

Abstract of JP 2003204291 (A)

PROBLEM TO BE SOLVED: To provide a communication system provided with an equalization circuit in which a high frequency amplification factor is high and capable of high-speed transmission. ; **SOLUTION:** Transmission signals generated inside a semiconductor integrated circuit 100 are inputted to a transmission circuit (equalization circuit) 1 installed inside the semiconductor integrated circuit 100. Of the input signals, buffering signals by a buffer 4 and signals delayed for 1 bit by a 1-bit delay circuit 5 and then inverted by an inverter 6 are superimposed in a prescribed ratio and outputted to a transmission line 2. The signals passed through the transmission line 2 are equalized by the equalization circuit 7 installed inside the semiconductor integrated circuit 200, then inputted to a signal judgement circuit 8 and converted to digital signals. In such a manner, by providing the equalization circuit in both of the transmission circuit and a reception circuit, the frequency dependency of the attenuation of a voltage waveform received in the reception circuit is reduced and the high frequency component amplification factor required in the equalization circuit of the reception circuit is reduced. ; **COPYRIGHT:** (C)2003,JPO



Data supplied from the **espacenet** database — Worldwide

Abstract of JP 2003-204291 A

A transmission line formed on a printed board is used as a transmission channel between semiconductor integrated circuits.

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
H 0 4 B 3/04		H 0 4 B 3/04	C 5 K 0 2 9
3/06		3/06	A 5 K 0 4 6
H 0 4 L 25/03		H 0 4 L 25/03	C

審査請求 未請求 請求項の数15 O L (全 10 頁)

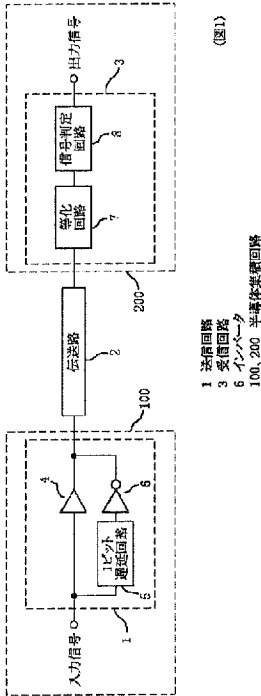
(21)出願番号	特願2002-329(P2002-329)	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成14年1月7日(2002.1.7)	(72)発明者	工藤 義治 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	100096253 弁理士 尾身 祐助
		Fターム(参考)	5K029 AA03 AA11 CC01 DD04 EE01 GG05 GG07 HH01 HH05 5K046 AA01 BA06 EE03 EE14 EE33 EE59

(54)【発明の名称】 通信システム

(57)【要約】

【課題】 高速伝送可能でかつ高周波増幅率の高い等化回路を有する通信システムを提供する。

【解決手段】 半導体集積回路100内で生成された送信信号は半導体集積回路100内に設置された送信回路(等化回路)1に入力される。その入力信号の、バッファ4によりバッファリング信号と、1ビット遅延回路5により1ビット遅延された後インバータ6により反転された信号とが、所定の割合で重ね合わされて伝送路2へ出力される。伝送路2を経由した信号は、半導体集積回路200内に設置された、等化回路7により等化された後、信号判定回路8に入力されデジタル信号に変換される。このように、送・受信回路の双方に等化回路を設けることにより、受信回路において受信される電圧波形の減衰の周波数依存を小さくし、受信回路の等化回路に必要な高周波成分増幅率を低減することができる。



【特許請求の範囲】

【請求項1】 送信回路を有する第1のデバイスの前記送信回路から受信回路を有する第2のデバイスの前記受信回路へ電気信号を電気伝送路を介して伝送する通信システムにおいて、前記送信回路と前記受信回路の双方に等化回路が備えられている通信システム。

【請求項2】 前記第1のデバイスと前記第2のデバイスとが半導体集積回路であることを特徴とする請求項1に記載の通信システム。

【請求項3】 前記送信回路においてディジタル／アナログ変換が、前記受信回路においてアナログ／ディジタル変換が行われることを特徴とする請求項1または2に記載の通信システム。

【請求項4】 前記電気伝送路が、シリアルデータ伝送路であることを特徴とする請求項1～3のいずれかに記載の通信システム。

【請求項5】 前記前記送信回路に備えられた等化回路の等化量は、前記電気伝送路の減衰量以下であることを特徴とする請求項1～4のいずれかに記載の通信システム。

【請求項6】 前記送信回路に備えられた等化回路の等化と前記受信回路に備えられた等化回路の等化とにより、前記電気伝送路による信号劣化が補償されて周波数依存性が平坦な信号減衰特性が得られることを特徴とする請求項1～5のいずれかに記載の通信システム。

【請求項7】 前記送信回路に備えられた等化回路の等化量と前記受信回路に備えられた等化回路の等化量との和が、前記電気伝送路の特性に対して最適になるように、前記受信回路に備えられた等化回路の等化量を自動的に調節する機能が前記第2のデバイスに備えられていることを特徴とする請求項1～5のいずれかに記載の通信システム。

【請求項8】 前記受信回路に備えられた等化回路は、等化帯域の異なる第1、第2の等化回路により構成されていることを特徴とする請求項1～7のいずれかに記載の通信システム。

【請求項9】 前記第2の等化回路が、前記電気信号の信号周波数以上の周波数での等化を行う機能を有していることを特徴とする請求項8に記載の通信システム。

【請求項10】 前記送信回路に備えられた等化回路は、該等化回路に入力される入力信号と、該入力信号の1ビット遅延信号とを加算する機能を有していることを特徴とする請求項1～9のいずれかに記載の通信システム。

【請求項11】 前記受信回路に備えられた等化回路は、該等化回路に入力される入力信号を増幅する第1の増幅器と、該入力信号が入力される高周波通過フィルタと、該高周波通過フィルタの通過信号を増幅する第2の増幅器と、前記第1の増幅器の出力信号と前記第2の増幅器の出力信号とを加算する加算部とを有していること

を特徴とする請求項1～10のいずれかに記載の通信システム。

【請求項12】 前記第1の増幅器と前記第2の増幅器とはそれぞれ、CMOSインバータ構成の増幅段と、CMOS構成のゲイン調整段とを有していることを特徴とする請求項11に記載の通信システム。

【請求項13】 前記ゲイン調整段は、直列接続された第1、第2のpチャネルMOSFETおよび第1、第2のnチャネルMOSFETと、前記第1のpチャネルMOSFETと、前記第2のnチャネルMOSFETに並列接続された第3のpチャネルMOSFETと、前記第2のnチャネルMOSFETに並列接続された第3のnチャネルMOSFETと、を有し、前記第1、第2のpチャネルMOSFETおよび第1、第2のnチャネルMOSFETのゲートと、前記第2のpチャネルMOSFETのドレインと、前記第1のnチャネルMOSFETのドレインとが共通に接続されていることを特徴とする請求項12に記載の通信システム。

【請求項14】 前記第3のpチャネルMOSFETのゲートと前記第3のnチャネルMOSFETのゲートとは、それぞれゲイン調整信号が入力されることを特徴とする請求項13に記載の通信システム。

【請求項15】 前記ゲイン調整信号は、前記電気伝送路からの出力信号または前記受信回路の前記等化回路の出力信号に基づいて形成されることを特徴とする請求項14に記載の通信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路などのデバイス間でデータを送・受信する通信システムに関し、特に、伝送路によりシリアルにてデータを送・受信する通信システムに関するものである。

【0002】

【従来の技術】ディジタルデータをアナログ信号に変換し、ある集積回路から別の集積回路にアナログ信号を伝送するチップ間通信回路においては、データ伝送の大容量化が急速に進んでいる。従来のデータ伝送量を律則する要因として、複数の伝送路を用いて並列にデータ伝送する時に伝送路の特性のばらつきにより、データ間にスキュー（位相のずれ）が生じ、すべてのデータ間の同期が困難になってきていることが挙げられる。これに対し、近年では伝送路を1本化（シリアル化）して、位相のずれによる限界を超えた伝送を実現してきた。しかしながら、シリアル化により伝送系に要求される帯域はさらに上昇し、伝送路の伝送帯域が伝送量を律則する要因として顕在化してきた。伝送路帯域の不足は伝送路を通過する電気信号の減衰を生じる。また、伝送路特性の周波数特性により高周波であるほど減衰が大きく、様々な周波数成分を持つパルス伝送においては信号波形の劣化という形となって現れる。この周波数特性の違いを補正し、各周波数帯の電圧増幅／減衰率を一定化する行為は

電圧の等化と呼ばれる。半導体集積回路間でデータを送・受信する通信システムにおいては、従来、送信回路側または受信回路側のいずれかに等化回路が設けられてきた。

【0003】送信回路にて予め等化を行っておく手段としては図9～図11に示す回路が従来より用いられてきた。図9に示す回路は、最も簡易な構成を有するものであって、半導体集積回路100内にて生成された送信信号は、半導体集積回路100内に設けられた送信回路1に入力される。入力された信号は、バッファ14にてバッファリングされる外、シフトレジスタで構成される1ビット遅延回路15で1ビット遅延された後インバータ16でバッファリングされる。そして、バッファ14とインバータ16との出力は所望の割合で重ね合わされて等化送信信号として出力される。この構成では、正規のデータに対して前のデータが異なる場合（右側の電圧波形で“イ”、“ハ”の場合）の出力電圧振幅が、前のデータと同一の場合（右側の電圧波形で“ロ”、“ニ”の場合）の出力電圧振幅と比較して大きくなる。このことは、低周波領域に対して高周波領域での出力が大きくなることを意味している。

【0004】また、図10に示す回路では、符号間干渉が前ビットの間以外にもあるとし、シフトレジスタで構成される1ビット遅延回路17の列を川い連続する何ビットかを出力決定回路18で比較して、変化の激しい部分ほど電圧振幅が大きくなるように出力を調整している。また、図11に示す回路では、信号周波数（すなわち、ビットの繰返し周波数）以上の周波数帯域の増幅率を補正するために、ビット幅以下の時間単位で出力を調整している。すなわち、複数の出力決定回路20は、シフトレジスタで構成される1ビット遅延回路19でシフトした信号と入力信号とを比較して、それぞれ電圧値の異なる出力を出力し、出力決定回路20の各出力はスイッチング手段により1ビット期間内で時間をずらして伝送路に出力される。これにより、図11の右側の図に示されるように、各ビットの電圧振幅は、正規のデータに対して前のデータが異なる場合（右側の電圧波形で“イ”、“ハ”の場合）にはデータが変化した直後が最も出力電圧振幅が大きくなるようにし、かつ1ビット期間内に段階的に弱め、前のデータと同一の場合（右側の電圧波形で“ロ”、“ニ”の場合）に比較して、信号周波数以上の高周波成分においても高周波であるほど出力電圧振幅を強めるようにしている。

【0005】一方、受信回路において波形の復元を行う技術も古くから知られている。この方式は高周波帯域での増幅率を高めることにより実現できるものである。図12に示す回路では、伝送路より半導体集積回路200に入力された受信信号は高周波帯域通過フィルタ21に入力され、その透過信号は増幅器22で増幅された後、元の受信信号と加算される。そして、このようにして形

成された復元信号は、ビット判定回路に入力され、デジタル信号に戻される。増幅器22には、通常図13

(a)に示される、入力抵抗 R_1 と帰還抵抗 R_2 が接続された演算増幅器25が用いられる。また、演算増幅器25には、13(b)に示される、負荷となるpチャネルMOSトランジスタ Q_{11} 、 Q_{12} と、信号と参照電圧 V_{ref} が入力される、差動動作を行うnチャネルMOSトランジスタ Q_{13} 、 Q_{14} を有する差動増幅器が用いられる。

【0006】増幅器22（演算増幅器25）の帯域が無
限大であるならば、無限大の高調波で増幅し、理想的な復元波形を得ることができるが、実際には増幅器の帯域は有限であるため、高速化されたデータ伝送では理想的な復元波形を得ることは困難である。そこで、この帯域の不足を補うために高速なサンプリングを行う方式も採用されている。この方式では、図14に示すように、並列に複数のサンプルホールド回路23を配置し、得られたタイミングの異なる複数のアナログ値々々に対して判定回路24で隣接したタイミングのデータとの比較を行い、デジタルデータの決定を行う。そして、得られた各ビットごとの複数のデータに基づいて正規のデータの判定を行なう。この方式では、並列に配置される検出器を順番に動作させることにより、各々が検出動作を行う周期を長くし、演算・増幅に必要な時間を得ることが可能になる。ところで、半導体集積回路間の伝送路としては、プリント基板上に形成された伝送線路の場合と両集積回路間を接続するケーブルの場合があり得る。特に後者についてはケーブルの選択がユーザサイドに委ねられている場合があることから、伝送路の特性をメーカサイドで予め特定しておくことはできない。この点に対処して、受信回路における波形復元方式では、減衰量の異なる様々な伝送路に対して、自動的に回路特性を調整し、伝送路特性の差違を吸収する適応等化回路技術が盛んに開発されている。理想的な増幅が可能であればこの方式を採用することにより伝送路の特性が明確にされなくても精度のよい波形復元が可能であり、したがって誤判定の少ないデータ伝送が可能になる。

【0007】

【発明が解決しようとする課題】上述した送信回路側等化回路では、最大出力電圧が電源電圧以下にならざるを得ないことから、低周波成分の出力振幅をそれよりも小さくすることにより等化を図らねばならない。一方で、近年素子寸法が縮小されまた動作速度の向上を図るために電源電圧は低減される傾向にあり、そのため受信される等化された波形の振幅は縮小されることになる。受信回路におけるビット判定のマージン、受信波形に混入する雑音を考慮すると受信波形の振幅は規定のレベル以上でなければならない、したがって電源電圧の低下に伴い、許容される伝送路の減衰量が低下することになる。この傾向は、伝送データの高速化により伝送路における減衰

量は増大することから、電源電圧の低下に伴い、高速のデータ伝送があるいは長距離のデータ伝送が不可能になる。また、送信回路側に等化回路を設ける方式では、送信回路側で伝送路出力から自動的に伝送路の減衰量を推定することができないため、予定された特性と異なる特性の伝送路が用いられた場合には適切な等化が行えないことになる。この方式により高周波増幅率が本来要求される値からはずれる場合、図15に示すように、しきい値とのクロスポイントに関して位相のずれが生じるためである。すなわち、増幅率が適切である場合には、図15(a)に示すように、クロスポイントはローレベルとハイレベルの中間に位置するが、増幅率が不足の場合、図15(b)に示すように、ローレベルあるいはハイレベルが続いた後のハイレベルあるいはローレベルの電圧値がデータ期間の終わりにハイレベルあるいはローレベルに到達することができず、結果としてローレベル時の電圧値とハイレベル時の電圧値との中間値が本来の値からずれてしまう。このクロスポイントに係る位相のずれはビット判定時のマージンの低下を招く。図15(c)に示す増幅率が過剰の場合にも同様の不都合が生じる。したがって、送信回路側に等価回路を設ける方式は、ある程度伝送路が固定された条件あるいはを許容できる位相ずれ範囲内の伝送速度での通信に限定される。

【0008】受信回路側に等化回路を設ける方式では、伝送路の周波数特性を把握することができるために、等化回路が伝送路の減衰特性を補償するように、回路の調整を行うことができる。しかしながら、高周波数帯においては等化回路内の増幅器に帯域の制限があることにより、高周波帯域通過フィルタで得た信号を十分増幅することができない。また、高周波成分を高周波帯域通過フィルタによって抽出する場合、元の信号と加算する際の位相のずれも高速化を妨げる要因となる。高周波成分の増幅率を高めるほど同成分の位相は遅れる。したがって低周波領域に対して高周波領域の増幅率を高めるのが困難であり、高速化に対して十分に対応することは困難である。先に示したようにサンプリングを行う方式もあるが、この方式ではサンプリング回路の帯域が制限要因になる。通常、サンプルホールド回路は、信号を遮断/通過させるゲートと電荷を蓄える容量素子とから構成され、ゲートが信号通過状態から信号遮断状態に移行した時の信号電圧を保持する。この動作においてサンプリング値の誤差が生じる。すなわち、ゲートを構成するトランジスタ自身の寄生容量の充放電による誤差と、トランジスタのオン抵抗と容量による遅延である。容量が十分大きければ誤差は少なくすることができるが、抵抗と容量によって決まる遅延量は大きくなり、容量素子にかかる電圧が本来の伝送路出力に追従できずずれてしまう。また、容量が小さければ寄生容量によって生じる誤差が問題となり、高速動作が困難になる。本発明の課題は、上述した従来技術の問題点を解決することであっ

て、その目的は、伝送データが高速化されてもまた伝送距離が長距離化されても、伝送路の減衰特性を十分に補償することのできる通信システムを提供できるようにすることである。

【0009】

【課題を解決するための手段】上記の目的を達成するため、本発明によれば、送信回路を有する第1のデバイスの前記送信回路から受信回路を有する第2のデバイスの前記受信回路へ電気信号を電気伝送路を介して伝送する通信システムにおいて、前記送信回路と前記受信回路の双方に等化回路が備えられている通信システム、が提供される。

【0010】【作用】送信回路に設置された等化回路および受信回路に設置された等化回路がそれぞれ互いに他方の課題を解決し合うことにより、各々の特徴を活かすことが可能である。すなわち、送信回路に設置された等化回路により伝送路終端における低周波減衰率と高周波減衰率の格差を縮小することができ、また受信回路に設置された等化回路の高速化に対する負荷を軽減することができる。これによりサンプリング方式の検出回路を用いずに、高速動作が可能になる。また、送信回路に設置された等化回路のみでは困難である高減衰率伝送路のデータ伝送を、受信回路に設置された等化回路を用いて増幅度の補充を行うことにより可能にする。このように送信回路および受信回路にそれぞれ設置する等化回路を相補的に使用することで高速かつ高増幅率の通信システムを得ることができる。

【0011】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【第1の実施の形態】図1は、本発明の第1の実施の形態を示すブロック図である。半導体集積回路100内で生成された送信信号は半導体集積回路100内に設置された送信回路1に入力される。その入力信号は、バッファ4によりバッファリングされる外、シフトレジスタで構成される1ビット遅延回路5により1ビット遅延された後インバータ6により反転される。その反転信号はバッファ4の出力信号と所定の割合で重ね合わされて伝送路2へ出力される。ここで、送信回路1においては高周波増幅率が伝送路の高周波減衰率よりも小さくなるように設定をしなければならない。これにより伝送路出力において出力信号の低周波成分と高周波成分の減衰率の比を小さくすることができる。伝送路2としてはプリント基板上のプリント配線（伝送線路）またはケーブルが想定されている。伝送路2を経由した信号は、半導体集積回路200内に設置された、等化回路7と信号判定回路8を有する受信回路3に入力される。ここで、等化回路7としては、図12に示す等化回路など従来受信回路に用いられてきた等化回路を適宜採用することができる。信号判定回路8は、等化回路7から出力されるアナログ

信号についてデジタル値を判定する回路であって、通常用いられているアナログ／デジタル変換回路を用いて構成することができる。

【0012】図2に本実施の形態回路の各部の周波数特性を示す。デジタル信号入力に対し、送信回路1の出力の周波数特性は(a)のようになる。送信回路1の出力特性は信号周波数 f_0 およびその奇数倍においてピークをもつ特性であるが、図2では信号周波数 f_0 を横軸のフルスケールとしてそれ以上の周波数帯域の特性は図示されていない。この送信回路出力を(b)の周波数伝達特性を持つ伝送路に入力した場合の伝送路出力は(c)の特性となる。信号周波数以下の領域において、この特性の出力を周波数依存性が一定である波形に修復するためには(d)の特性が必要となる。送信回路1の(a)の特性を持つ等化回路は、ビット単位の処理を行う回路であるから、増幅率に関わらず処理速度は一定である。しかしながら受信回路3に設けられる等化回路7は必要とされる増幅率が大いほど遅延を生じ、高周波成分の増幅が困難となる。そこで、本実施の形態においては、送信回路、受信回路それぞれに等化回路を設けそれらの特性を相補的に設定することで、増幅率すなわち受信側の等化回路に要求される高周波増幅率をシステム全体に要求される高周波増幅率の一部で済むようにしている。その結果、受信側等化回路の駆動帯域を広げることができ、システム全体の高速化が可能となる。

【0013】【第2の実施の形態】図3は、本発明の第2の実施の形態を示すブロック図である。図3において、図1に示した第1の実施の形態の部分と同等の部分には同一の参照番号が付けられているので重複する説明は省略するが、本実施の形態においては、受信回路における等化が等化回路7と等化回路9の2段構成の等化回路によって実行されている。等化回路9は信号周波数以上の周波数帯域について増幅を行う。図4は、本実施の形態回路の各部の周波数特性を示す図であって、同図においては信号周波数 f_0 以上の帯域まで含めた周波数特性が示されている。送信側等化回路では、(a)で示されるように、信号周波数 f_0 以上では信号周波数 f_0 での増幅度以上の増幅度が得られていない(信号周波数 f_0 の奇数倍の周波数において信号周波数 f_0 の増幅度とほぼ同じ値のピーク増幅度となる周波数特性が得られている)。このことは、送信側等化回路では信号周波数 f_0 以上の帯域については等化が行われていないことを意味する。したがって、(b)の特性を有する伝送路2から出力される信号の特性は(c)に示すように信号周波数 f_0 以上の周波数において大きく減衰したものとなる。第1の実施の形態のようにこの信号を受信回路側で一段の等化回路によって増幅した後ビット判定を行うことも可能であるが、ビット検出マージンを大きくするためには信号周波数 f_0 以上の周波数での減衰を補償することが望まれる。しかしながら伝送路出力の周波数依存

は、信号周波数以下の等化が行われた帯域と、信号周波数以上の等化が行われない帯域が存在するために、受信回路の1つの等化回路では2つの帯域に対応した補償を行うことは困難である。

【0014】そこで、本実施の形態においては、図3に示すように、受信回路3内に第1の実施の形態の等化回路と同等の特性を有する等化回路7の外に信号周波数 f_0 以上の周波数帯域の増幅を行う等化回路9を設けている。これにより、高周波帯域での十分の等化が可能になり、より原波形に近い波形に復元することが可能になる。図4の(c)の特性を有する信号に対し受信回路において理想的な復元を行うために等化回路に要求される特性(d)が求まる。ここで初段の等化回路7の周波数特性を(e)とする。(d)と(e)を比較すると分かるように高調波領域の増幅率が不足している。ここで(d)より(e)を減じた特性は(f)の特性となる。したがってこの特性を持つ等化回路9を後段に設けることで理想の復元波形に近い波形が得られる。よって、第1の実施の形態の場合に比較してビット検出のマージンを増すことができる。なお、受信回路の後段に設置される等化回路9は、信号周波数帯以上の周波数領域での増幅を目的とするものであるため、それ以下の周波数帯においてはそれよりも増幅率が低くなるように(すなわち、1に近くなるように)設定される。

【0015】【第3の実施の形態】図5は、本発明の第3の実施の形態を示すブロック図である。図5において、図1に示した第1の実施の形態の部分と同等の部分には同一の参照番号が付けられているので重複する説明は省略する。本実施の形態においては、半導体集積回路200内に、伝送路2から伝送された信号が入力される等化調整回路10が設けられる。等化調整回路10は、伝送路2の出力信号の周波数特性を検出し、等化回路7が行うべき等化特性を決定して等化回路7を制御する。伝送路2が、製品出荷時の状態を維持し続ける場合には等化回路7の等化特性を固定にしておくこともできるが、ユーザサイドにおいて伝送路の選択が可能である使用形態の製品にあっては、受信回路側において伝送路の出力特性に応じて等化特性を調整できることが望ましい。本実施の形態は、これに対応したものである。また、伝送路2が固定されたものであっても、温度変化などの環境変化によりあるいは製品出荷後の経時変化により送信回路や伝送路2の特性が変化する可能性がある。このような状況に対しても本実施の形態によれば適切に対処することが可能である。

【0016】【第4の実施の形態】図6は、本発明の第4の実施の形態を示すブロック図である。図6において、図3に示した第2の実施の形態の部分と同等の部分には同一の参照番号が付けられているので重複する説明は省略する。本実施の形態においては、半導体集積回路200内に、等化回路9の出力信号が入力される等化調

整回路 10a が設けられる。等化調整回路 10a は、等化回路 9 の出力信号を監視してその周波数特性がフラットとなるように、等化回路 7 と等化回路 9 とにフィードバックをかける。これにより、第 3 の実施の形態よりの確に等化回路の制御を行うことが可能になる。

【0017】

【実施例】次に、本発明の実施例について図面を参照して詳細に説明する。第 1 ないし第 4 の実施の形態における受信回路 3 に設置される等化回路 7、9 を高速動作が可能な CMOS インバータを用いて構成した。図 7

(a) は、本実施例の等化回路の回路図であり、図 7

(b) は、該等化回路に用いられている反転増幅器の回路図である。等化回路 7 (9) は、図 7 (a) に示すように、抵抗と容量素子とからなる高周波帯域通過フィルタ 21 と 2 つの反転増幅器 11 およびその各反転増幅器の出力を加算する手段から構成される。各反転増幅器は、図 7 (b) に示すように、1 段目の増幅段 12 と 2 段目のゲイン調整段 13 とからなる。増幅段 12 は、ゲートが共通接続され、かつ直列接続された p チャネル MOS トランジスタ Q1 と n チャネル MOS トランジスタ Q2 によって構成され、いわゆる CMOS インバータ構成の増幅器である。ゲイン調整段 13 は、ゲートが共通に増幅段 12 の出力端子に接続され、かつ直列接続された p チャネル MOS トランジスタ Q3、Q4、n チャネル MOS トランジスタ Q5、Q6 と、p チャネル MOS トランジスタ Q3 に並列接続された p チャネル MOS トランジスタ Q7 と、n チャネル MOS トランジスタ Q6 に並列接続された n チャネル MOS トランジスタ Q8 によって構成され、トランジスタ Q3 ~ Q6 のゲートはトランジスタ Q4、Q5 のドレインに共通に接続され、トランジスタ Q7 とトランジスタ Q8 のゲートにはそれぞれゲイン調整電圧 Vb1、Vb2 が入力されている。1 段目の CMOS インバータ構成の増幅段 12 は入力信号を高ゲインで増幅する。また、2 段目のゲイン調整段 13 は 1 段目の増幅を打ち消す働きをし、回路全体のゲインを抑制する。図 8 にその DC 出力の例を示す。ゲイン調整段に入力するゲイン調整電圧 Vb1、Vb2 を増減することで、図 8 に示すように、ラインの傾きのみをすなわちゲインのみを調整することができる。図 5、図 6 に示される第 3、第 4 の実施の形態においては、等化調整回路 10、10a からゲイン調整電圧 Vb1、Vb2 が出力される。

【0018】ここで回路のゲインは 1 以下あるいは 1 以上に任意に調整できるよう設計をし、各増幅回路のゲイン調整を各々適切に設定することにより、信号とその高周波成分の加算比率を広範囲で任意に設定することが可能になる。従来の回路では図 13 に示したように差動アンプが主に使用されていたが、この差動アンプでは定電流源が大面積を消費する。また、同図における差動アンプは入力電圧レンジが狭いことが問題であり、これを拡

大するために、p チャネル MOS トランジスタによって差動回路を構成する差動アンプと n チャネル MOS トランジスタによって差動回路を構成する差動アンプとを並列に配置することも考えられるが、この場合には回路はさらに大規模になる。これに対して本実施例回路では CMOS アンプであるために、広入力電圧レンジの回路が小面積で構成可能である。また、本実施例における回路においては、定電流源を持たないために 1 段目の回路においてトランジスタのゲートソース間電圧を差動回路の場合と比較して大きくすることができる。これにより電流駆動能力を向上させることができ、次段の駆動を迅速に行うことができるため、高速動作が可能になる。また、差動型の演算増幅器を用いた線形増幅器と比較すると、抵抗を介したフィードバックが必要ないために該抵抗とゲート容量からなる遅延分を抑制することができる。

【0019】

【発明の効果】以上説明したように、本発明の通信システムは、送信回路と受信回路の双方に等化回路を備えたものであるため、いずれか一方のみに等化回路を設けた場合の問題点を解決して、高速で高品質のデータ伝送を行うことが可能になる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態のブロック図。

【図 2】 本発明の第 1 の実施の形態の周波数応答特性を示すグラフ。

【図 3】 本発明の第 2 の実施の形態のブロック図。

【図 4】 本発明の第 2 の実施の形態の周波数応答特性を示すグラフ。

【図 5】 本発明の第 3 の実施の形態のブロック図。

【図 6】 本発明の第 4 の実施の形態のブロック図。

【図 7】 本発明の実施例に用いられた等化回路の回路図。

【図 8】 本発明の実施例に用いられた等化回路の入出力特性を示すグラフ。

【図 9】 送信回路に設けられる等化回路の従来例（その 1）。

【図 10】 送信回路に設けられる等化回路の従来例（その 2）。

【図 11】 送信回路に設けられる等化回路の従来例（その 3）。

【図 12】 受信回路に設けられる等化回路の従来例（その 1）。

【図 13】 従来の等化回路に用いられた増幅器の回路図。

【図 14】 受信回路に設けられる等化回路の従来例（その 2）。

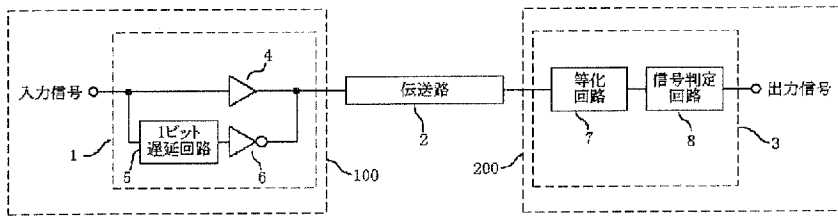
【図 15】 送信回路に設けられた等化回路の等化量不適合による位相ずれの説明図。

【符号の説明】

- 1 送信回路
2 伝送路
3 受信回路
4、14 バッファ
5、15、17、19 1ビット遅延回路
6、16 インバータ
7、9 等化回路
8 信号判定回路
10、10a 等化調整回路
11 反転増幅器

- *12 増幅段
13 ゲイン調整段
18、20 出力決定回路
21 高帯域通過フィルタ
22 増幅器
23 サンプルホールド回路
24 判定回路
25 演算増幅器
26 定電流源
*10 100、200 半導体集積回路

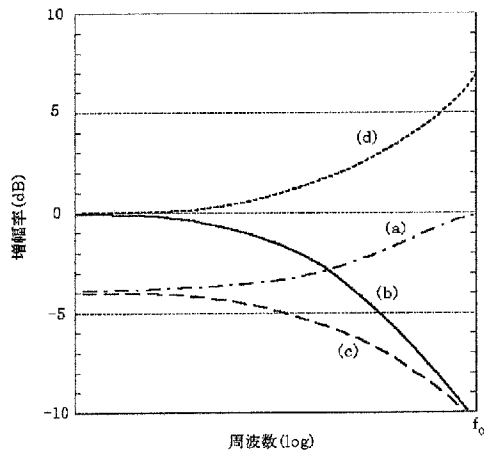
【図1】



1 送信回路
3 受信回路
6 インバータ
100、200 半導体集積回路

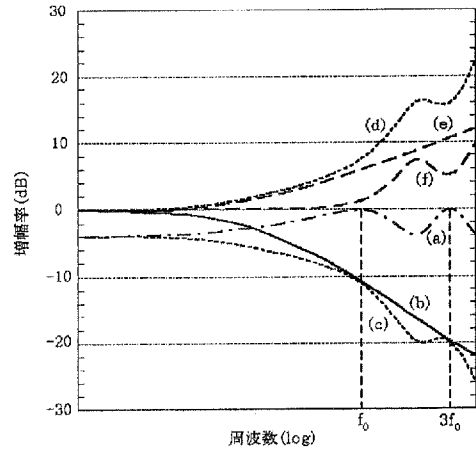
(図1)

【図2】



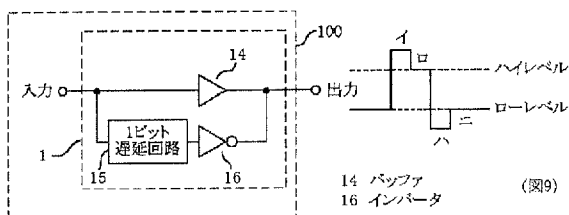
(図2)

【図4】



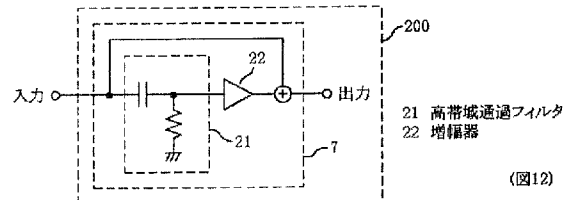
(図4)

【図9】



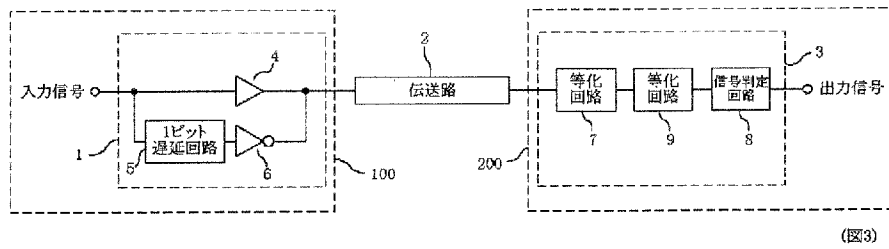
(図9)

【図12】



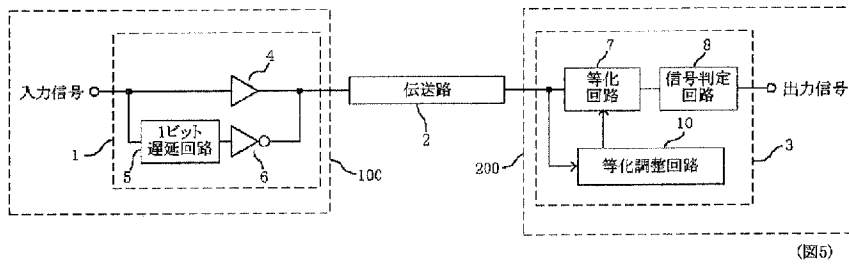
(図12)

【図3】



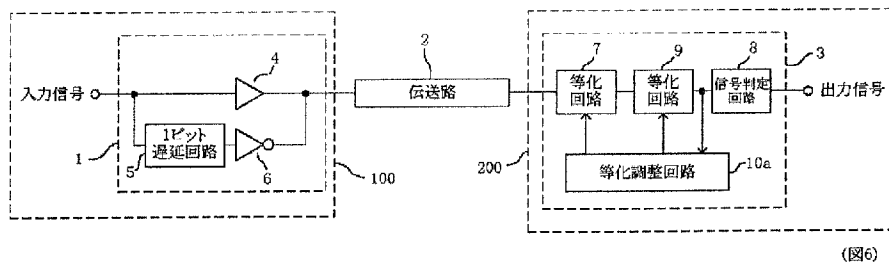
(図3)

【図5】



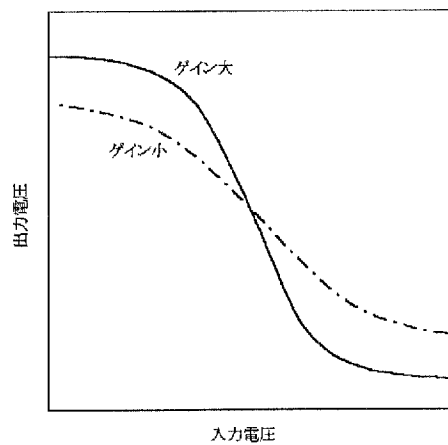
(図5)

【図6】



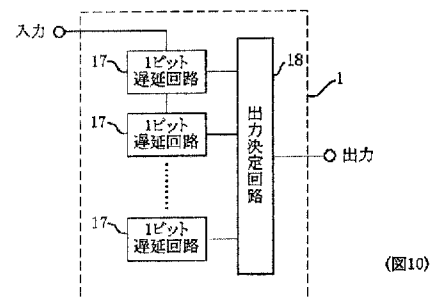
(図6)

【図8】



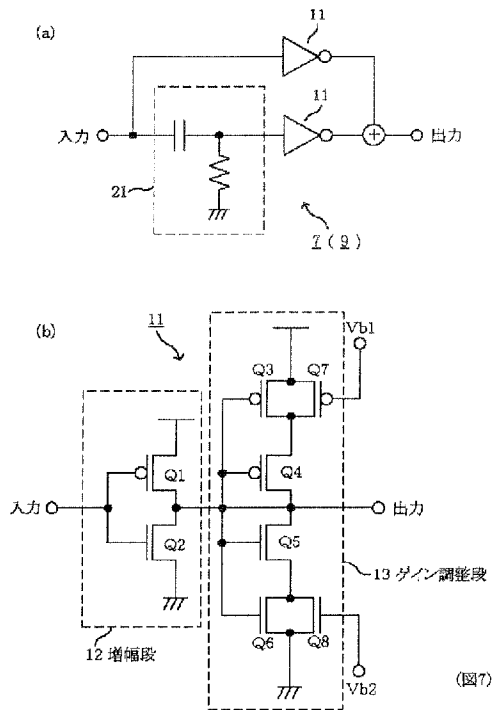
(図8)

【図10】

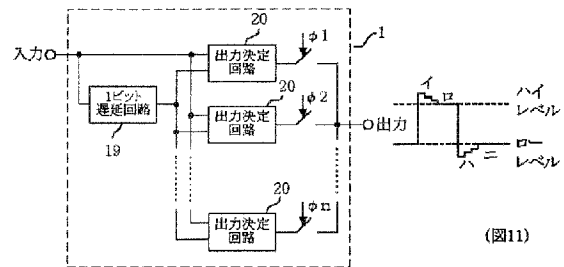


(図10)

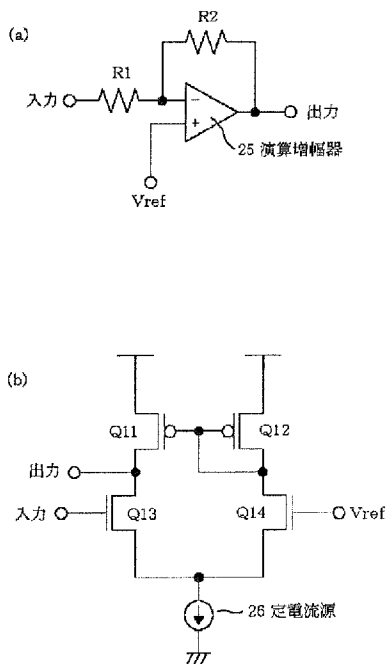
【図7】



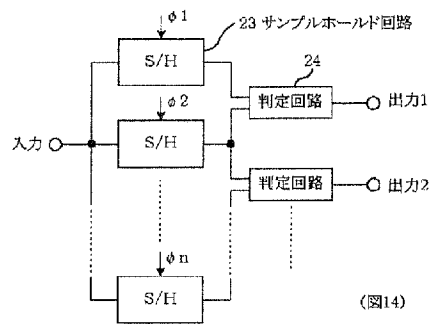
【図11】



【図13】



【図14】



【図15】

